

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

13791217

Basic Patent (No,Kind,Date): JP 9171192 A2 970630 <No. of Patents: 001>

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS  
MANUFACTURE ( English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB; SHARP KK

Author (Inventor): KOYAMA JUN; YAMAMOTO YOSHITAKA

IPC: \*G02F-001/136; G09F-009/30; G09G-003/36; H04N-005/66

CA Abstract No: 127(13)183396S

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 9171192</b>	A2	970630	JP 95349228	A	951219 (BASIC)

Priority Data (No,Kind,Date):

JP 95349228 A	951219
---------------	--------

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

05556392 \*\*Image available\*\*

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS  
MANUFACTURE

PUB. NO.: 09-171192 [JP 9171192 A]

PUBLISHED: June 30, 1997 (19970630)

INVENTOR(s): KOYAMA JUN

YAMAMOTO YOSHITAKA

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese  
Company or Corporation), JP (Japan)

SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 07-349228 [JP 95349228]

FILED: December 19, 1995 (19951219)

INTL CLASS: [6] G02F-001/136; G09F-009/30; G09G-003/36; H04N-005/66

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.6  
(COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R119 (CHEMISTRY --  
Heat Resistant Resins); R124 (CHEMISTRY -- Epoxy Resins)

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To improve a temperature resistance and contamination  
resistance of a driving circuit TFT and make the device small in size by  
parting at least one of substrate end surfaces at the same position with an  
opposite substrate, and applying or adhering a nonconductive or weakly  
conductive material to the parted end surface.

**SOLUTION:** On a TFT substrate, plural pixel TFTs which are arranged in  
matrix and driving circuit thin film transistors which drive the pixel TFTs  
are formed. A liquid crystal material is sealed between the opposite  
substrate and TFT substrate, and the driving circuit TFTs exist in the  
liquid crystal material together with the pixel TFTs, so the driving  
circuit TFTs can be protected. To prevent the parted end surface from  
coming into contact with an outside body after those substrates are cut so  
as to shape the counter substrate and TFT substrate, the parted end surface  
of a short ring is coated with nonconductive or weakly conductive resin.  
Consequently, a bus line can be shielded from the outside, so the pixel  
TFTs can be protected against an electrostatic breakdown.

実行技

J3189

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-171192

(43)公開日 平成9年(1997)6月30日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
G 0 9 F 9/30	3 1 0		G 0 9 F 9/30	3 1 0
G 0 9 G 3/36			G 0 9 G 3/36	
H 0 4 N 5/66	1 0 2		H 0 4 N 5/66	1 0 2 Z

審査請求 未請求 請求項の数12 FD (全10頁)

(21)出願番号 特願平7-349228

(22)出願日 平成7年(1995)12月19日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(71)出願人 000005049

シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 山元 良高

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

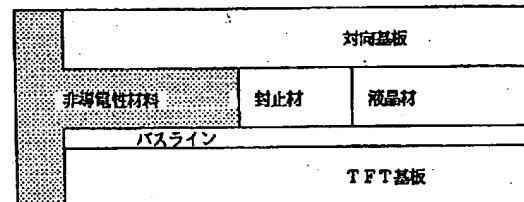
(54)【発明の名称】 アクティブマトリクス型液晶表示装置及びその製造方

法

(57)【要約】

【目的】小型、且つ、信頼性にすぐれたアクティブマトリクス型液晶表示装置を提供する。

【構成】マトリクス状に配置された複数の画素薄膜トランジスタと前記画素薄膜トランジスタを駆動する駆動回路薄膜トランジスタを同一基板上に有し、且つ画素薄膜トランジスタおよび駆動回路薄膜トランジスタが直接に、又は薄膜を介して液晶材に接しているアクティブマトリクス型液晶表示装置において、基板端面のうち少なくとも1つは、対向基板と同一位置で分断され、且つその分断端面に非導電性または弱導電性の材料を塗布または接着して、薄膜トランジスタが静電破壊されることを防止する。



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の画素薄膜トランジスタと、該画素薄膜トランジスタを駆動する駆動回路薄膜トランジスタとを同一基板上に有し、且つ、前記画素薄膜トランジスタと前記駆動回路薄膜トランジスタとが直接に又は薄膜を介して、液晶材に接しているアクティブマトリクス型液晶表示装置において、前記基板端面のうち少なくとも1つは対向基板と同一位置で分断され、且つ、その分断端面に非導電性又は弱導電性の材料が塗布又は接着されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】請求項1において、前記非導電性又は弱導電性の材料が塗布又は接着された分断端面は、前記画素TFTの配列方向に対して、平行または垂直であることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】請求項1において、薄膜トランジスタで構成された駆動回路を制御する制御回路が基板上に実装され、

且つ、前記制御回路は前記基板上の前記液晶材の封止材中に封入されていることを特徴とするアクティブマトリクス型表示装置。

【請求項4】請求項1において、薄膜トランジスタで構成された駆動回路を制御する制御回路を実装するため、薄膜トランジスタの配置された基板の前記制御回路の実装位置の厚さを薄くしたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項5】請求項1において、薄膜トランジスタで構成された駆動回路を制御する制御回路を実装するため、薄膜トランジスタが配置された基板に対向する基板の前記制御回路の実装位置の厚さを薄くしたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項6】請求項3～5において、前記制御回路は、COG (Chip On Glass) 法により、前記基板上に実装されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項7】マトリクス状に配置された複数の画素薄膜トランジスタと、該画素薄膜トランジスタを駆動する駆動回路薄膜トランジスタを同一基板上に有し、且つ前記画素薄膜トランジスタ、及び前記駆動回路薄膜トランジスタが直接に又は薄膜を介して液晶材に接しているアクティブマトリクス型液晶表示装置の製造方法において、前記基板端面のうち少なくとも1つを、対向基板と同一位置で分断する工程と、

該工程により分断された前記基板の端面に、非導電性又は弱導電性の材料を塗布又は接着する工程と、

を有することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項8】請求項7において、前記分断工程において、前記基板の分断面が画素TFTが配列された方向に對して、平行または垂直になるように分断することを特

徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項9】請求項7において、薄膜トランジスタで構成された駆動回路を制御する制御回路、前記基板上の液晶の封止材中に封入する工程を有することを特徴とするアクティブマトリクス型表示装置の製造方法。

【請求項10】請求項7において、薄膜トランジスタで構成された駆動回路を制御する制御回路を実装するため、薄膜トランジスタが配置された基板の前記制御回路の実装位置を薄くする工程を有することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項11】請求項7において、薄膜トランジスタで構成された駆動回路を制御する制御回路を実装するため、薄膜トランジスタが配置された基板に対向する基板の前記制御回路の実装位置を薄くする工程を有することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項12】請求項9～11において、前記制御回路をCOG (Chip On Glass) 法で、前記基板上に実装する工程を有することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置に関するものであり、特に、小型化、高信頼性化を図るアクティブマトリクス型液晶表示装置に関するものである。

## 【0002】

【従来の技術】アクティブマトリクス型表示装置は、表示媒体として液晶が用いられ、マトリクスの各交差部に画素が配置され、すべての画素にはスイッチング用の素子が設けられている。画素情報はスイッチング素子のオン／オフによって制御される。スイッチング素子として、特に三端子素子、即ちゲート、ソース、ドレインを有する薄膜トランジスタが用いられている。以下、薄膜トランジスタをTFTとも称する。

【0003】なお、マトリクスにおける行には、当該行に平行に配置された走査線（ゲート線）が当該行の薄膜トランジスタのゲート電極に接続され、列には当該行に

平行に配置された信号線（ソース線）が当該列のTFTのソース（もしくはドレイン）電極に接続されている。さらに、走査線を駆動する走査線駆動回路と、信号線を駆動する信号線駆動回路が設けられている。

【0004】図2に示すのはアクティブマトリクス型液晶表示装置の第1の従来例である。図2に示すように、アクティブマトリクス型液晶表示装置において、画素マトリクスに対して、上方には、信号線を駆動する信号線駆動回路が配置され、左方には、走査線を駆動するための走査線駆動回路が配置されている。

【0005】図2の断面図を図3に示す。図3に示すよ

うに、画素TFTは液晶材に囲まれており、液晶材はTFT側基板と対向基板の間に挟持されている。他方、信号線駆動回路および走査線駆動回路は薄い酸化膜もしくは空化膜によって保護されているのみである。従って、これらの駆動回路を構成するTFTは液晶材内部の画素TFTに比較して、周囲環境が不利な状態におかれている。

【0006】上記の問題点を解消するために、長時間の信頼性確保を目的として、画素TFTのみでなく、信号線駆動回路および走査線駆動回路を液晶材中に配置することにより、表示装置の信頼性をより高めた構造が考案されている。

【0007】図4に示すのは、上記対策を施した第2の従来例である。第2の従来例では、信号線駆動回路、及び走査線駆動回路の外側にシール材等の封止材が配置されているため、画素TFTと共に、駆動回路TFTも液晶材に取り囲まれている。更に、液晶表示装置を小型化するために、対向基板の端面とTFT基板の端面とが3方向、図4においては、上端面、下端面及び右端面とが合致されている。

#### 【0008】

【発明が解決しようとする課題】しかしながら、以上で説明した第1、第2の従来例では以下のようないくつかの問題点があった。図5に示すように、従来のアクティブマトリクス型液晶表示装置において、TFT素子の静電気による破壊を防止するために、画素マトリクスの周囲にショートリングを形成している。ショートリングにより、画素TFTに接続された信号線、走査線全てがショートされるため、液晶表示装置の製造工程、特にラビング工程等において発生する静電気が、画素TFTの端子間に印加されることが防止される。

【0009】図2、図3に示す第1の従来例においては、ショートリングは液晶表示装置の製造工程の最後において、レーザー等を用いて、ガラス基板と共に切断を行うのが一般的である。

【0010】しかしながら、第2の従来例では、液晶表示装置の大きさをできるだけ小さくするため、対向基板とTFT基板は端子を引き出さない3方向（図4において、基板の上端面、下端面及び右端面）において、同一端面にて切断することが望ましい。したがって、最終工程にてレーザーでショートリングを切断するのは困難を伴う。即ち、基板と同時にショートリングを同一端面で切断するので、図6に示すように、切断後に基板の端面が外部に露出されてしまう。基板の分断後の工程において、この端面に静電気が発生すると、内部の画素TFTを破壊して、表示装置を不良にしてしまうという問題点があった。

#### 【0011】

【課題を解決するための手段】上述の問題点を解消するために、本発明に係るアクティブマトリクス型液晶表示

装置の製造方法は、以下の手段を有する。マトリクス状に配置された複数の画素薄膜トランジスタと、該画素薄膜トランジスタを駆動する駆動回路薄膜トランジスタを同一基板上に有し、且つ前記画素薄膜トランジスタ、及び前記駆動回路薄膜トランジスタが直接に、又は薄膜を介して液晶材に接しているアクティブマトリクス型液晶表示装置の製造方法において、前記基板端面のうち少なくとも1つを、対向基板と同一位置で分断する工程と、該工程により分断された前記基板の端面に、非導電性又は弱導電性の材料を塗布又は接着する工程と、を有することを特徴とする。

#### 【0012】

【発明の実施の形態】上記の構成を利用することによって得られるアクティブマトリクス型液晶表示装置の具体的な構成を図1に示す。図1において、TFT基板上には、マトリクス状に配置された複数の画素TFTと、画素TFTを駆動する駆動回路薄膜トランジスタが形成されている。対向基板とTFT基板間には、封止材により液晶材が封止され、画素TFTと共に、駆動回路TFTは液晶材内部に存在しているため、駆動回路TFTを保護することができる。

【0013】また、本発明では、対向基板、TFT基板を整形するために、これらの基板を切断した後に、分断端面が外部と接触しないように、ショートリング分断端面に非導電性または弱導電性の樹脂を塗布している。これにより、画素TFTに接続されているバスラインを外部から遮蔽することができるので、画素TFTが静電破壊されるのを防止することができる。

#### 【0014】

【実施例】以下、図示の実施例1、2に基づいて、本発明に係るアクティブマトリクス回路を用いた液晶表示装置の基板の作製方法を説明をする。

【0015】【実施例1】本実施例のモノリシック型アクティブマトリクス回路を得る製作工程について、図7を用いて説明する。この工程は低温ポリシリコンプロセスのものである。図7の左側に駆動回路のTFTの作製工程を、右側にアクティブマトリクス回路のTFTの作製工程をそれぞれ示す。

#### 【0016】図7(A)に示すように、ガラス基板(701)

上に下地酸化膜(702)として厚さ1000～3000Åの酸化珪素膜を形成した。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマCVD法を用いれば良い。その後、プラズマCVD法やLPCVD法によってアモルファスのシリコン膜を300～1500Åの厚さ、好ましくは500～1000Åの厚さに形成する。

【0017】そして、500℃以上、好ましくは、500～600℃の温度で熱アニールを行い、アモルファスシリコン膜を結晶化させる。もしくは、結晶性を高める。なお、熱アニールによる結晶化終了後、光(レーザ

一等) アニールをおこなって、さらに結晶化を高めてもよい。また、熱アニールによる結晶化の際に特開平6-244103、同6-244104に記述されているように、ニッケル等のシリコンの結晶化を促進させる元素(触媒元素)を添加しても良い。

【0018】次に、結晶化されたシリコン膜を島状にエッチングして、駆動回路のTFTの活性層(703)(Pチャネル型TFT用)、活性層(704)(Nチャネル型TFT用)と、マトリクス回路のTFT(画素TFT)の活性層(705)をそれぞれ形成する。さらに、酸素雰囲気中のスパッタ法によって、厚さ500~2000Åの酸化珪素のゲート絶縁膜(706)を形成する。ゲート絶縁膜(706)の形成方法としては、プラズマCVD法を用いてもよい。プラズマCVD法によって酸化珪素膜を形成する場合には、原料ガスとして、一酸化二窒素(N<sub>2</sub>O)もしくは酸素(O<sub>2</sub>)とモンシラン(SiH<sub>4</sub>)を用いることが好ましかった。

【0019】その後、厚さ2000~6000Åのアルミニウムをスパッタ法によって、基板全面に形成する。そしてこれをエッチングしてゲート電極(707、708、709)を形成する。ここで、その後の熱プロセスによってヒロックが発生するのを防止するために、アルミニウムにはシリコンまたはスカンジウム、パラジウムなどを含有するものを用いても良い。(図7(A))

【0020】次に、このアルミニウムから成るゲート電極(707、708、709)を陽極酸化する。陽極酸化によって、ゲート電極(707、708、709)表面は、それぞれ酸化アルミニウム(710、711、712)となり、絶縁物としての効果を有する様になる。(図7(B))

【0021】次に、Pチャネル型TFTの活性層(703)を覆うフォトレジストのマスク(713)、を形成する。そしてイオンドーピング法によってフォスフィンをドーピングガスに使用して、活性層(704、705)に磷を注入する。ドーズ量は $1 \times 10^{12} \sim 5 \times 10^{13}$ 原子/cm<sup>2</sup>とする。この結果として、活性層(704、705)に強いN型領域(ソース、ドレイン)(714、715)が形成される。(図7(C))

【0022】次に、Nチャネル型TFTの活性層(704)、及び画素TFTの活性層(705)を覆うフォトレジストのマスク(716)を形成する。そして再びイオンドーピング法によってジボラン(B<sub>2</sub>H<sub>6</sub>)をドーピングガスに使用して、活性層(703)にホウ素を注入する。ドーズ量は $5 \times 10^{14} \sim 8 \times 10^{15}$ 原子/cm<sup>2</sup>とする。この結果として、活性層(703)に強いP型領域(717)が形成される。以上のドーピングにより、強いN型領域(ソース、ドレイン)(714、715)、強いP型領域(ソース、ドレイン)(717)がそれぞれ形成される。(図7(D))

【0023】その後、450~850度0.5~3時間

の熱アニールを施すことにより、ドーピング不純物を活性化させると共に、ドーピングによるダメージを回復せしめて、シリコンの結晶性を回復させる。

【0024】図8(A)に示すように、アニール終了後、全面に層間絶縁物(718)として、プラズマCVD法によって酸化珪素膜を厚さ3000~6000Å形成した。層間絶縁物(718)は窒化珪素膜の単層膜、或いは酸化珪素膜と窒化珪素膜の多層膜であってもよい。そして、層間絶縁物(718)をウエットエッチング法またはドライエッチング法によって、エッチングして、ソース/ドレインにコンタクトホールを形成する。

【0025】そして、スパッタ法によって厚さ2000~6000Åのアルミニウム膜、もしくはチタンとアルミニウムの多層膜を形成する。これをエッチングして、周辺回路の電極・配線(719、720、721)、および画素TFTの電極・配線(722、723)をそれぞれ形成する。(図8(A))

【0026】さらに、プラズマCVD法によって、厚さ1000~3000Åの窒化珪素膜(724)をパッジーション膜として形成し、これをエッチングして、画素TFTの電極(723)に達するコンタクトホールを形成する。最後に、スパッタ法で成膜した厚さ500~1500ÅのITO(インジウム錫酸化物)膜をエッチングして、画素電極(725)を形成した。このようにして、周辺駆動回路とアクティブマトリクス回路が一体的に形成される。(図8(B))

【0027】次に、アクティブマトリクス型液晶表示装置の組立工程を以下に説明する。TFT基板、対向基板を洗浄し、薬液等を十分に洗浄する。

【0028】次に、配向膜をTFT基板、対向基板に付着させる。配向膜にはある一定の溝が刻まれ、その溝に沿って液晶分子が均一に配列する。配向膜の材料にはブチルセルソングかn-メチルビロリドンといった溶媒に溶媒の約10重量%のポリイミドを溶解したものを用いる。これをポリイミドワニスと呼ぶ。ポリイミドワニスはフレキソ印刷装置によって印刷する。

【0029】そして、TFT基板、対向基板の両基板に付着した配向膜を加熱して、硬化させる。これをベークとよび、最高温度約300℃の熱風を送り加熱し、ポリイミドワニスを焼成、硬化させるものである。その次にラビング工程を行う。配向膜の付着したガラス基板を毛足の長さ2~3mmのバフ布(レイヨン、ナイロン等の繊維)で一定方向にこすり、微細な溝を形成する。

【0030】そして、TFT基板もしくは対向基板のいずれかに、ポリマー系、ガラス系、シリカ系等の球のスペーサを散布する。スペーサの散布の方法としては、純水、アルコール等の溶媒にスペーサをませ、ガラス基板上に散布するウエット方式を採用することができる。或いは、溶媒を一切使用せずスペーサを散布するドライ方式を採用することができる。

【0031】その次に、TFT基板の画素部の外枠に封止材を塗布する。封止材塗布にはTFT基板と対向基板を接着する目的と、注入した液晶材が外部に流出するのを防ぐ目的がある。封止材の材料はエポキシ樹脂とフェノール硬化材をエチルセルソルブの溶媒に溶かしたもののが使用される。封止材塗布後に2枚のガラス基板の張り合わせを行う。方法は約160℃の高温プレスによって、約3時間で封止材を硬化する加熱硬化方式をとる。

【0032】次に、TFT基板と対向基板を張り合わせ、液晶注入口より液晶材をいれて、液晶材注入口を封止する。封止が終了したのち、表示装置の3方向(図2における上側、下側、右側)の分断面において、ガラス切りにより、TFT基板、対向基板を同一分断面にて切断する。

【0033】そして、その分断面に非導電性又は弱導電性の樹脂材料を塗布する。例えば、エポキシ樹脂を塗布する。以上の工程を経て図1に示す液晶表示装置が完成される。

【0034】【実施例2】図9に本発明の第2の実施例を示す。この例では、薄膜トランジスタで構成された駆動回路を制御する制御回路を封止材の下に配置して、実装面積の縮小、信頼性の向上をはかっている。制御回路は通常単結晶シリコンチップによって構成され、その厚みは液晶材の厚さにくらべて大きいため、そのまま封止材にいれることはできない。よって本実施例では、図9に示すように、制御回路の厚みが基板間隔よりも突出している長さだけ、対向基板の厚さをその部分だけ薄くすることにより、対応をおこなっている。

【0035】なお、対向基板の厚さを薄くする代わりに、TFT基板の厚さを薄くしてもよい。或いは対向基板とTFT基板双方の厚さを薄くしてもよい。

【0036】ここで、前述した駆動回路を制御する制御回路はTFT基板上にCOG (Chip On Glass) で実装する。COG方式としては、制御回路チップの裏面をTFT基板に張り付け、ワイヤーボンディングでTFT基板上の配線と電気接続をとるワイヤーボンディング方式と、チップを裏返してチップ上のパッドとTFT基板上の配線を導電ペースト等で接続するフェスタウン方式とがあるが、いずれの方式を採用してもかまわない。

【0037】また、TFT基板、対向基板の一部を薄化する方法としては、対向基板のあらかじめ該当する箇所を機械的に削り取ってもかまわないし、もしくは、化学的にその場所をエッティングしても良い。

【0038】

【発明の効果】以上述べたように、本発明では、画素TFTのみならず、駆動回路TFTを液晶内に封止したため、駆動回路TFTの耐温性や耐汚染性を向上すること

ができる。また、アクティブマトリクス型液晶表示デバイスの小型化をはかることができる。

【0039】更に、基板の分断端面に非導電性又は弱導電性の材料を塗布する、又は接着することにより、信頼性、特に静電気破壊に対する信頼性を向上することができる。

【0040】また、本発明では、TFT基板又は/及び画素基板の厚さを部分的に薄くすることにより、駆動回路の制御回路等の必要とする回路全てを1対の基板間に配置することができ、かつ、これらの回路を液晶材中に封止するようにしたため、アクティブマトリクス表示装置を小型化できると共に、信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス型表示装置の断面図。

【図2】第1の従来例のアクティブマトリクス型液晶表示装置の概略構成図。

【図3】第1の従来例のアクティブマトリクス型液晶表示装置の断面図。

【図4】第2の従来例のアクティブマトリクス型液晶表示装置の構成図。

【図5】従来例のアクティブマトリクス型液晶表示装置のショートリングの構成図。

【図6】第2の従来例のアクティブマトリクス型液晶表示装置の断面図。

【図7】第1の実施例のモノリシック型アクティブマトリクス回路の作製工程を説明する断面図。

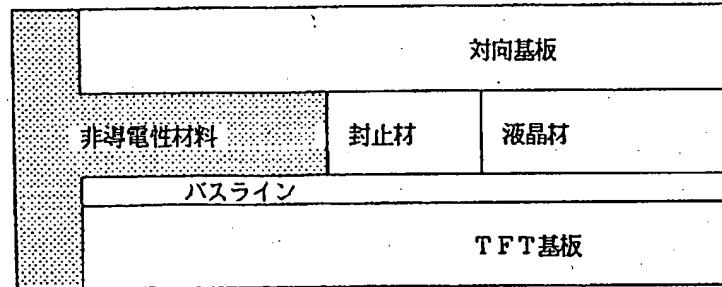
【図8】第1の実施例のモノリシック型アクティブマトリクス回路の作製工程を説明する断面図。

【図9】第2の実施例のアクティブマトリクス型液晶表示装置の断面図。

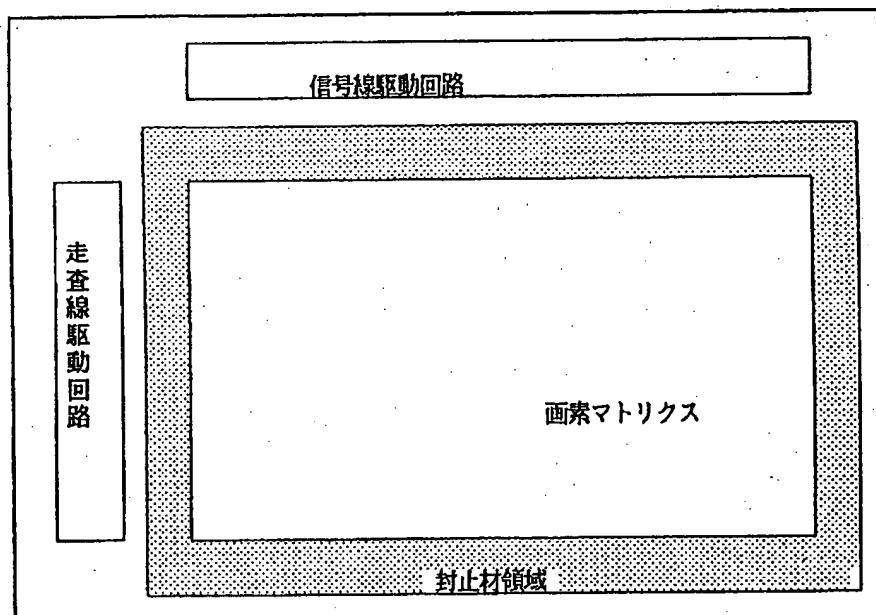
【符号の説明】

701	ガラス基板
702	下地酸化珪素膜
703～705	シリコン活性層
706	ゲート絶縁膜
707～709	ゲート端子
710～712	陽極酸化膜
40 713、716	フォトレジスト
714、715 レイン)	強いN型領域(ソース、ド
717 レイン)	強いP型領域(ソース、ド
718、724	層間絶縁膜
719～723	A1電極
725	画素透明電極

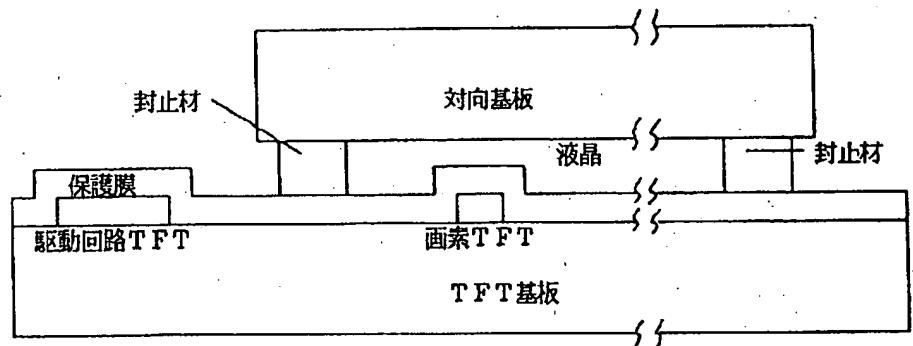
【図1】



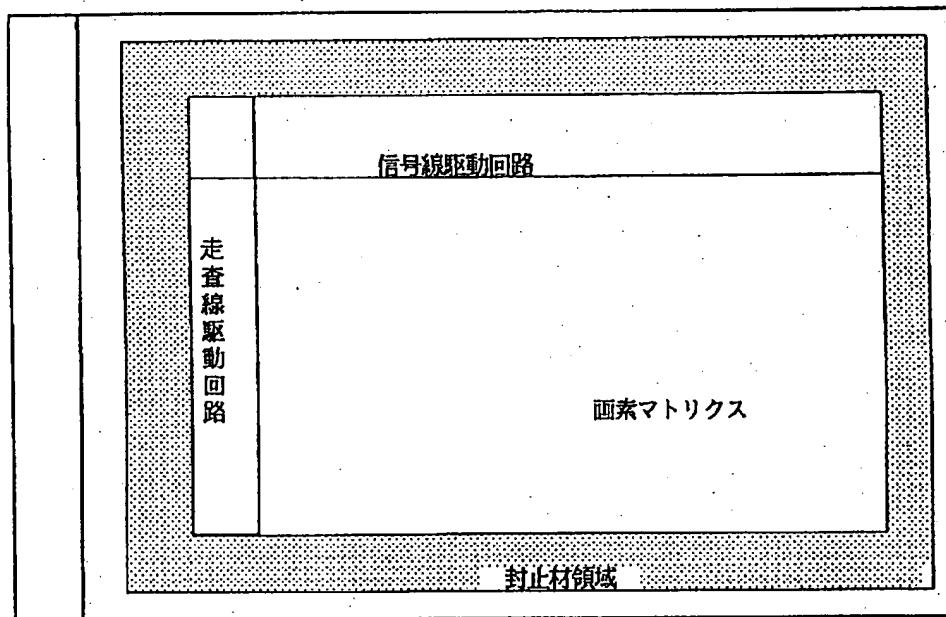
【図2】



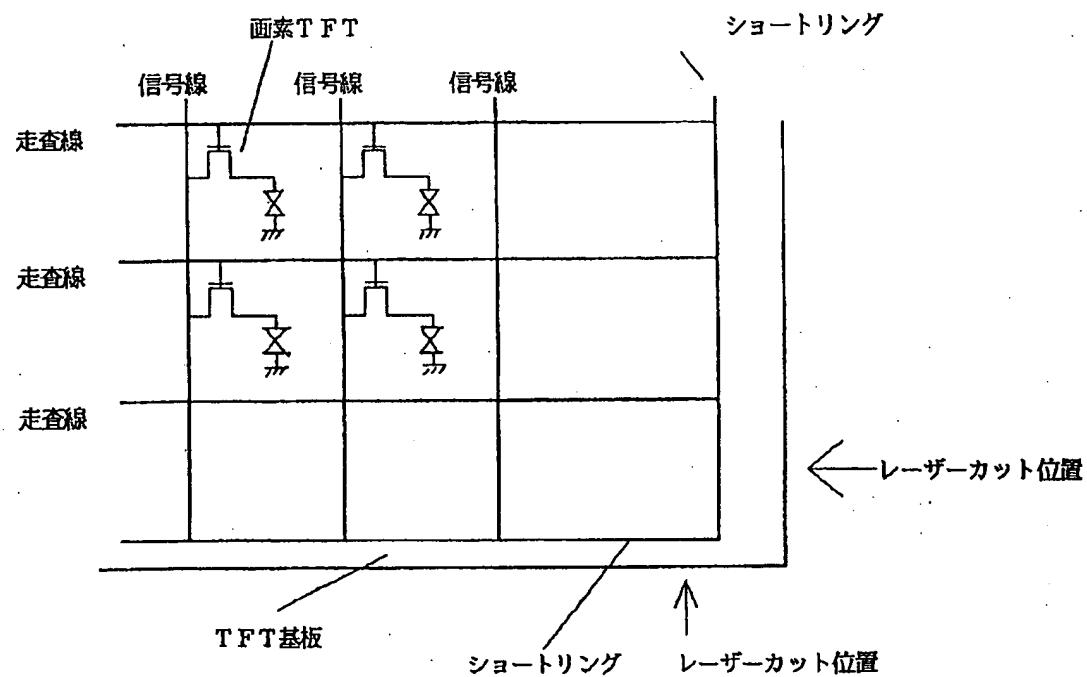
【図3】



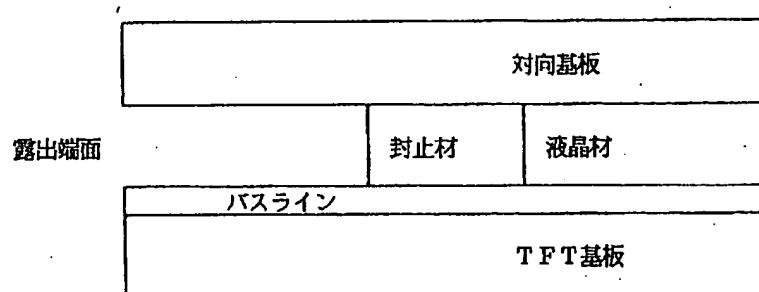
【図4】



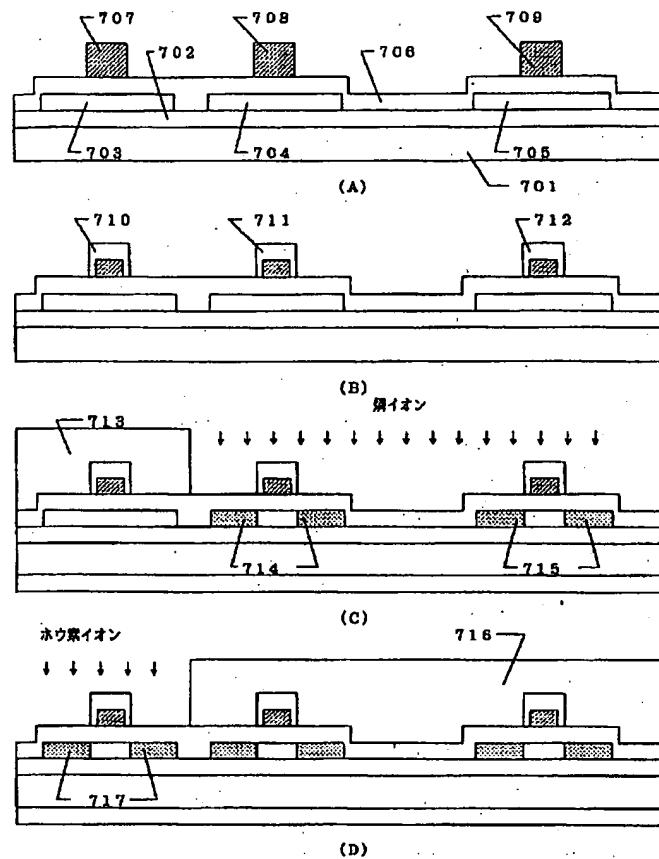
【図5】



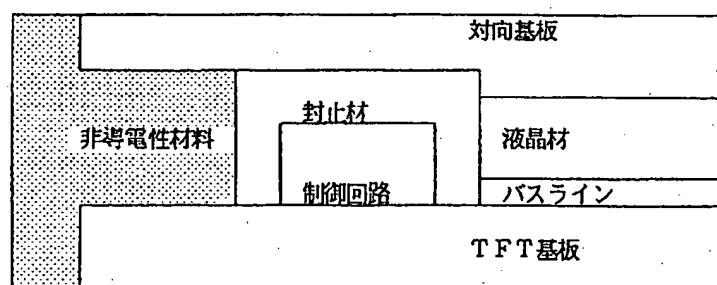
【図6】



【図7】



【図9】



【図8】

